



## KARTA OPISU PRZEDMIOTU - SYLABUS

Nazwa przedmiotu

PO 6.3.2 Programowalne układy cyfrowe

### Przedmiot

Kierunek studiów

Teleinformatyka

Studia w zakresie (specjalność)

Poziom studiów

pierwszy

Forma studiów

stacjonarne

Rok/semestr

3/6

Profil studiów

ogólnoakademicki

Język oferowanego przedmiotu

polski

Wymagalność

obieralny

### Liczba godzin

Wykład

15

Laboratoria

30

Inne (np. online)

Ćwiczenia

0

Projekty/seminaria

0/0

### Liczba punktów ECTS

3

### Wykładowcy

Odpowiedzialny za przedmiot/wykładowca:

dr hab. inż. Olgierd Stankiewicz, ITM, 61 665 3840

[olgierd.stankiewicz@put.poznan.pl](mailto:olgierd.stankiewicz@put.poznan.pl)

Odpowiedzialny za przedmiot/wykładowca:

mgr. Adam Grzelka, ITM, 61 665 3896

[adam.grzelka@put.poznan.pl](mailto:adam.grzelka@put.poznan.pl)

dr Łukasz Matuszewski, ITM, 61 665 3855

[lukasz.matuszewski@put.poznan.pl](mailto:lukasz.matuszewski@put.poznan.pl)

### Wymagania wstępne



Student rozpoczynający ten przedmiot powinien posiadać podstawową wiedzę z zakresu projektowania układów cyfrowych i symulacji cyfrowej. Powinien posiadać umiejętność programowania w języku c/c++, posługiwania się zintegrowanymi środowiskami programistycznymi oraz pozyskiwania informacji ze wskazanych źródeł. Powinien również rozumieć konieczność poszerzania swoich kompetencji. Ponadto w zakresie kompetencji społecznych student musi prezentować takie postawy jak uczciwość, odpowiedzialność, wytrwałość, ciekawość poznawcza, kreatywność, kultura osobista, szacunek dla innych ludzi.

### Cel przedmiotu

Cel przedmiotu:

1. Przekazanie studentom podstawowej wiedzy z zakresu podstaw projektowania układów cyfrowych w języku Verilog.
2. Rozwijanie u studentów umiejętności rozwiązywania podstawowych problemów projektowych i implementacyjnych, a w szczególności rozwijanie umiejętności doboru optymalnej architektury układu.
3. Kształtowanie u studentów umiejętności pozyskiwania wiedzy nt. aktualnych rozwiązań stosowanych w układach programowalnych.

### Przedmiotowe efekty uczenia się

Wiedza

1. Posiada wiedzę na temat analizy i syntezy cyfrowych układów kombinacyjnych i sekwencyjnych, zna podstawowe cyfrowe bloki funkcjonalne, zasady projektowania złożonych układów cyfrowych i ich implementacji w programowalnych układach cyfrowych.
2. Ma pogłębioną wiedzę w zakresie budowy i sposobu działania systemów teleinformatycznych służących do świadczenia usług multimedialnych z zastosowaniem programowalnych układów cyfrowych, w tym przetwarzania, kompresji i transmisji obrazów, fonii i mowy.
3. Ma podstawową wiedzę w zakresie oceny parametrów projektowanych programowalnych układów cyfrowych a także komputerowego wspomaganie ich projektowania.

Umiejętności

1. Potrafi analizować i projektować cyfrowe układy kombinacyjne i sekwencyjne w technice programowalnych układów cyfrowych stosując odpowiednie metody i narzędzia inżynierskie.
2. Potrafi zaplanować i przeprowadzić symulacje komputerowe oraz wykorzystywać środowiska programistyczne, programy symulacyjne i narzędzia.

Kompetencje społeczne

1. Zna ograniczenia własnej wiedzy i rozumie konieczność jej uaktualniania. Jest otwarty na możliwości ciągłego dokształcania się i podnoszenia kompetencji zawodowych, osobistych i społecznych.
2. Ma poczucie odpowiedzialności za projektowane systemy teleinformatyczne i zdaje sobie sprawę z zagrożeń społecznych w wypadku ich nieodpowiedniego zaprojektowania lub wykonania.



## Metody weryfikacji efektów uczenia się i kryteria oceny

Efekty uczenia się przedstawione wyżej weryfikowane są w następujący sposób:

Ocena formująca:

a) w zakresie ćwiczeń laboratoryjnych:

- na podstawie oceny bieżącego postępu realizacji zadań.

Ocena podsumowująca:

a) w zakresie wykładów weryfikowanie założonych efektów kształcenia realizowane jest przez:

- ocenę wiedzy wykazanej na egzaminie. Egzamin polega na udzielaniu odpowiedzi na pytania i na rozwiązywaniu problemów.

Do otrzymania oceny 3,0 niezbędne jest zdobycie minimum 50% punktów; 3,5 – 60% punktów; 4,0 – 70% punktów; 4,5 – 80%

punktów; 5,0 – 90% punktów.

b) w zakresie ćwiczeń laboratoryjnych weryfikowanie założonych efektów kształcenia realizowane jest przez:

- ocenę merytoryczną wykonywania zadań laboratoryjnych
- ocenianie ciągłe, na każdych zajęciach (odpowiedzi ustne)
- oceny uzyskane na sprawdzianach pisemnych
- uzyskiwanie punktów dodatkowych za aktywność podczas zajęć.

## Treści programowe

Wykłady:

Uzyskanie umiejętności programowania układów FPGA na przykładzie układów firm XILINX, ALTRA/INTEL i LATTICE.

1. Przedstawienie grupy układów programowalnych (FPGA), ich budowy wewnętrznej i cech funkcjonalnych.
2. Układy SoC (System-on-Chip).
3. Techniki testowania: „Code Coverage”, BIST.
4. Układy FPGA w systemach wbudowanych.
5. Przedstawienie hybrydowych układów programowalnych (procesor ARM + matryca FPGA)
6. Przegląd języków opisu sprzętu (HDL).
7. Wprowadzenie do języka Verilog.
8. Wprowadzenie do języka SystemVerilog.

Ćwiczenia laboratoryjne:

W module prowadzone są zajęcia laboratoryjne z wykorzystaniem płytek rozwojowych, w trakcie których studenci tworzą opis sprzętu w języku Verilog. Treści tych zajęć ugruntowują i rozszerzają wiedzę przekazywaną podczas wykładów. Efektem końcowym będzie umiejętność napisania, uruchomienia i testowania modułów sprzętowych w układzie FPGA.

1. Zapoznanie się i opanowanie środowiska projektowego DIAMOND firmy Lattice.
2. Implementacji w języku Verilog generatora liczb losowych.



3. Implementacji w języku Verilog konwertera tekstu.
4. Stworzenie prostego testera wbudowanego (BIST).
5. Projekt implementacji złożonego układu do pomiaru i prezentacji sygnału EMG, na który składają się: generator sygnału wizyjnego o rozdzielczości FullHD, układy interfejsów komunikacyjnych (enkoder obrotowy, klawiatura, diody LED), interfejsu analogowego EKG, układu sterującego.

### Metody dydaktyczne

1. Wykład: prezentacja multimedialna, uzupełniana aktualnymi przykładami i dodatkowymi wyjaśnieniami na tablicy.
2. Ćwiczenia laboratoryjne: rozwiązywanie zadań, programowanie.

### Literatura

#### Podstawowa

- S. Palnitkar, Verilog HDL (2nd Edition), Prentice Hall Professional, 3 mar 2003
- M. Pawłowski, A. Skorupski, Projektowanie złożonych układów cyfrowych, WKiŁ, 2010.

#### Uzupełniająca

- J. Bieganowski, G. Wawrzyniak, Język Verilog w projektowaniu układów FPGA

### Bilans nakładu pracy przeciętnego studenta

	Godzin	ECTS
Łączny nakład pracy	86	3.0
Zajęcia wymagające bezpośredniego kontaktu z nauczycielem	45	2.0
Praca własna studenta (przygotowanie do zaliczenia, przygotowanie do laboratorium, studia literaturowe)	41	1.0